



(19)

(11) Publication number:

03277008 A

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **02079598**(51) Intl. Cl.: **H03H 9/02**(22) Application date: **27.03.90**

(30) Priority:

(43) Date of application
publication: **09.12.91**(84) Designated contracting
states:(71) Applicant: **MURATA MFG CO LTD**(72) Inventor: **TANAKA YASUHIRO**

(74) Representative:

**(54) CAPACITOR
INCORPORATING TYPE
CHIP OSCILLATOR**

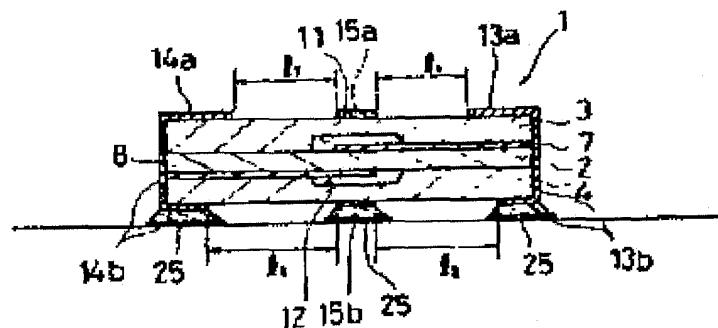
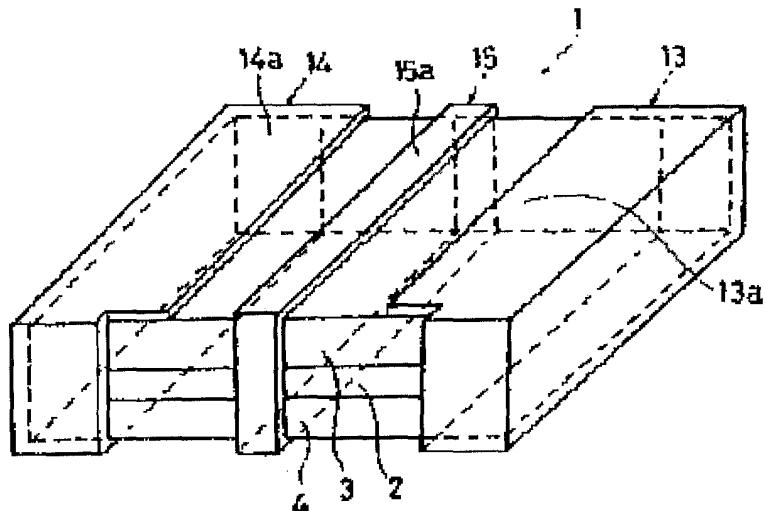
(57) Abstract:

PURPOSE: To prevent fluctuation of a static capacitance without increasing the manufacture cost by forming the static capacitor with an external electrode or a capacitor electrode and a common electrode formed on an upper face of the element main body in a capacitor incorporating type chip oscillator forming a static capacitance between the external electrode and the common electrode.

CONSTITUTION: When a capacitor incorporating type chip oscillator 1 is mounted on a board, after solder paste is coated onto a board electrode 25, the chip oscillator 1 is mounted on paste, and soldering is implemented by applying reflow. In such a case, soldering is applied to external electrodes 13, 14 and mounted parts 13b, 14b, 15b of a

common electrode 15 only and no soldering is applied to the capacitance forming parts 13a, 14a, 15a. The distance between the electrodes 14 and 15 is not fluctuated even by soldering in the capacitance forming parts 13a, 14a, 15a deciding the capacitance of the capacitor. Thus, even when an electrode is deformed, the static capacitance of the capacitor is not largely changed.

COPYRIGHT: (C)1991,JPO&Japio



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

平3-277008

⑫ Int. Cl.⁵

H 03 H 9/02

識別記号

府内整理番号

⑬ 公開 平成3年(1991)12月9日

7259-5J

審査請求 未請求 請求項の数 2 (全7頁)

⑭ 発明の名称 容量内蔵型チップ発振子

⑮ 特 願 平2-79598

⑯ 出 願 平2(1990)3月27日

⑰ 発明者 田中 康廣 京都府長岡京市天神2丁目26番10号 株式会社村田製作所
内

⑱ 出願人 株式会社村田製作所 京都府長岡京市天神2丁目26番10号

⑲ 代理人 弁理士 中島 司朗

明細書

1. 発明の名称

容量内蔵型チップ発振子

2. 特許請求の範囲

(1) 両面に振動電極が形成された圧電基板を挟んでセラミック部材が設けられた素子本体の両側面に外部電極が形成されると共に、上記素子本体の下面から上面に延設するように共通電極が形成され、且つ上記外部電極と共通電極との間で静電容量を形成する容量内蔵型チップ発振子であって、

前記静電容量は前記外部電極又は／及び前記外部電極と接続する容量電極と、前記素子本体の上面に形成された共通電極とにより形成されていることを特徴とする容量内蔵型チップ発振子。

(2) 前記共通電極と前記外部電極との距離は、下面における距離よりも上面における距離の方が短くなるように構成されていることを特徴とする特許請求の範囲第1項記載の容量内蔵型チップ発振子。

3. 発明の詳細な説明

産業上の利用分野

本発明は、2端子型圧電振動子の各端子とアースとの間にキャパシタンスが接続された等価回路を持つチップ発振子に関し、特に前記キャパシタンスをチップ発振子に一体的に組み込んでなる容量内蔵型チップ発振子に関する。

従来の技術

上記のような容量内蔵型チップ発振子においては、製造コストの低減を図るべく、下面に形成された外部電極と共通電極とによって静電容量を形成したものがある。例えば、第10図及び第11図に示すように、発振子本体61の両側面とその近傍に形成された外部電極62・62と、これら外部電極62・62間に形成された共通電極63との間で静電容量を形成するようなものが知られている。

発明が解決しようとする課題

ところで、上記容量内蔵型チップ発振子をプリント基板等に実装させる場合には、基板電極に半田ペーストを塗布した後、基板上に容量内蔵型チ

ップ発振子を載置し、更にリフローすることにより行っている。

ところが、この場合、ハンダペーストの量やリフロー時の温度条件等によっては、外部電極62や共通電極63において、半田クワレ、半田の拡がり、或いは熱ストレス、機械的ストレス等による電極の変形が生じる。このため、両電極62・63間の距離が変化する結果、その間で形成されている静電容量に変動が生じ、希望する特性の容量内蔵型チップ発振子が得られないという課題を有していた。

本発明はかかる現状に鑑みてなされたものであり、製造コストを高騰させることなく、静電容量が変動するのを防止することができる容量内蔵型チップ発振子を提供することを目的とする。

課題を解決するための手段

本発明は上記目的を達成するために、両面に振動電極が形成された圧電基板を挟んでセラミック部材が設けられた素子本体の両側面に外部電極が形成されると共に、上記素子本体の下面から上面

を基板に半田付けにより実装しても、静電容量の変動は極めて小さい。

第1実施例

本発明の第1実施例を、第1図乃至第6図に基づいて、以下に説明する。第1図は容量内蔵型チップ発振子の正面視斜視図、第2図は第1図の発振子を実装したときの断面図、第3図はチップ発振子の分解斜視図（外部電極、共通電極は図示せず）、第4図はチップ発振子の等価回路図、第5図はチップ発振子の変形例を示す斜視図、第6図は第5図の発振子を実装したときの断面図である。

第1図及び第2図に示すように、容量内蔵型チップ発振子1は、圧電基板2と、この圧電基板2の上下面に接着されセラミックから成る保護基板3・4とを有している。

上記圧電基板2の上下面2a・2bにおける略中央部には、第3図に示すように、それぞれ振動電極5・6が形成されており、これら振動電極5・6に信号電圧が印加されると例えば厚み溝りモードの圧電振動が発生されるようになっている。

に延設するように共通電極が形成され、且つ上記外部電極と共通電極との間で静電容量を形成する容量内蔵型チップ発振子であって、前記静電容量は前記外部電極又はノ及び前記外部電極と接続する容量電極と、前記素子本体の上面に形成された共通電極とにより形成されていることを特徴とする。

作用

上記構成の如く、静電容量が前記外部電極又はノ及び外部電極と接続する容量電極と、前記素子本体の上面に形成された共通電極とにより形成されれば、静電容量は電極間距離に反比例するところから、発振子本体の上面の電極間或いは発振子本体の上面の電極と内部の電極との静電容量の大部分が形成されることになる。

しかも、半田クワレや、半田の拡がり、或いは熱ストレス、機械的ストレス等による電極の変形は下面の電極において生じ、上面の電極で生じることがない。

したがって、本発明の容量内蔵型チップ発振子

また、上記上下面2a・2bの一方端にはそれぞれ引出し電極7・8が形成されており、引出し電極7・8と上記振動電極5・6とはそれぞれ接続電極9・10によって接続されている。

一方、前記保護基板3・4の接着面における振動電極5・6に臨む位置には、振動電極5・6より若干大きな空洞11・12が形成されており、これら空洞11・12によって圧電基板2の振動が許容される。

ところで、前記圧電基板2と保護基板3・4とから成る発振子本体1両側面と、これら両側面に連なる前後面、上下面には、上記引出し電極7・8と電気的に接続された外部電極13・14が形成されており、また、容量内蔵型チップ発振子1の中央部における前後面と上下面には輪状の共通電極15が形成されている。この共通電極15のうち上面に形成された部分を、以下容量形成部15aと、その他の部分を、以下実装部15bと称する。また、上記外部電極13・14のうち上面に形成された部分（以下、容量形成部13a・1

4 a と称する) はその他の部分(以下、実装部 13 b・14 b と称する)より中央方向に延びていて、容量形成部 13 a・14 a と上記共通電極 15 との距離 L₁ は実装部 13 b・14 b と共に電極 15 との距離 L₂ より短くなるような構造となる。したがって、外部電極 13・14 と共に電極 15 によって構成されるコンデンサの静電容量は容量形成部 13 a・14 a と上記共通電極 15 との距離 L₂ によって略決定されることになる。

尚、上記構造の容量内蔵型チップ発振子の等価回路は、第4図に示すように、入力端子 20 は共振子 21 を介して出力端子 22 と接続されており、上記共振子 21 の両端はコンデンサ 23・24 を介してアースされるような構造である。

ここで、上記容量内蔵型チップ発振子 1 を基板に実装させる際には、基板電極 25 上に半田ペーストを塗布した後、ペースト上にチップ発振子 1 を載置し、更にリフローを行うことにより半田付けする。この場合、ハンダペーストの量やリフロー

一時の温度条件等によって、外部電極 13・14 や共通電極 15 の半田クリアや、半田の拡がり、或いは熱ストレス、機械的ストレス等による電極の変形が生じる。この結果、電極 13・15 及び電極 14・15 間の距離が変動する。しかしながら、半田付けがなされるのは外部電極 13・14 及び共通電極 15 の前後面、底面、或いは側面に形成された実装部 13 b・14 b・15 b だけであって、上面に形成された容量形成部 13 a・14 a・15 a は半田付けがなされない。このように、コンデンサの容量を決定する容量形成部 13 a・14 a・15 a では半田付けによても電極 14・15 間の距離が変動しないので、上記不都合が生じた場合であってもコンデンサの静電容量が大きく変化することはない。

尚、上記実施例では、チップ発振子の上面に位置する外部電極 13・14 を大きくして、外部電極 13・14 と共に電極 15 との距離を短くしているが、このような構造に限定するものではない。例えば、第5図及び第6図に示すように、チップ

発振子の上面に位置する共通電極 15 を大きくして、両電極 13・15 及び 14・15 間の距離を短くするような構造であっても良いことは勿論である。

第2実施例

本発明の第2実施例を、第7図及び第8図に基づいて、以下に説明する。第7図は第2実施例に係る容量内蔵型チップ発振子を正面から見たときの斜視図、第8図はチップ発振子の分解斜視図(外部電極、共通電極は図示せず)である。

第8図に示すように、容量内蔵型チップ発振子は、圧電基板 32 と、この圧電基板 32 が固定されるセラミック基板 33 と、セラミックから成り上記圧電基板 32 とセラミック基板 33 とを覆うカバー基板 34 とを有している。

上記圧電基板 32 の上下面には電極 35・36 が形成されており、電極 35・36 の重なり部分 37 により振動電極が構成される。そして、これら振動電極に信号電圧が印加されると例えば厚み清りモードの圧電振動が励起されるようになって

いる。

一方、前記セラミック基板 33 の表面には、上記電極 35・36 が半田付けされる引出し電極 38・39 が形成されている。この引出し電極 38・39 は、第7図に示すように、上記3つの基板 32・33・34 から成る発振子本体 41 の両側面と、これら両側面に達なる前後面、上下面に形成された外部電極 42・43 と電気的に接続されている。また、発振子本体 41 の前後面と上下面とには共通電極 44 が形成されている。この共通電極 44 のうち上面に形成された部分(以下、容量形成部 44 a と称する)はその他の部分(以下、実装部 44 b と称する)より側面方向に延びていて、容量形成部 44 a と上記外部電極 42・43 との距離は実装部 44 b と外部電極 42・43 との距離より短くなるような構造となる。したがって、外部電極 42・43 と共に電極 44 によって構成されるコンデンサの静電容量は容量形成部 44 a と上記外部電極 42・43 との距離によって略決定されることになる。

尚、上記構造の容量内蔵型チップ発振子の等価回路は、前記第4図に示すものと同様である。

ここで、上記容量内蔵型チップ発振子をプリント基板等に実装させた場合は、上記第1実施例と同様、容量形成部44aは半田付けがなされないので、チップ発振子の特性が劣化することはない。

尚、上記2つの実施例では、外部電極と共に通電極によってコンデンサの静電容量が構成されるが、本発明はこのような構造に限定するものではない。例えば、第9図に示すように、セラミック基板51の内面に形成された外部電極52と接続された容量電極52と、共通電極54の容量形成部54aとによって構成してもよい。この場合には、共通電極54の実装部54bと容量形成部54aとが同一の面積であってもよく、且つ実装部54b及び容量形成部54aと外部電極52とが同一の距離であっても良い。

発明の効果

以上説明したように本発明によれば、容量内蔵型チップ発振子をプリント基板等に半田付けした

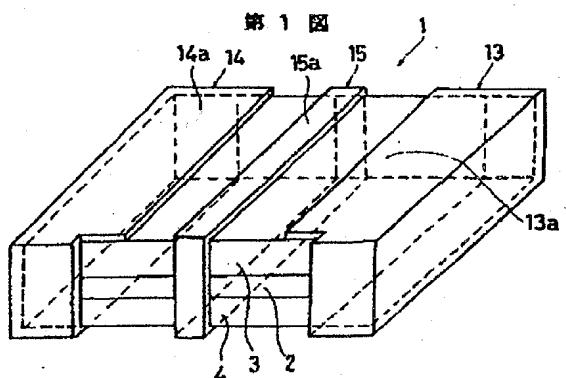
場合であっても、発振子のコンデンサ容量が変動するのを抑制することができる。したがって、発振子の特性を向上させることができという効果を奏する。

4. 図面の簡単な説明

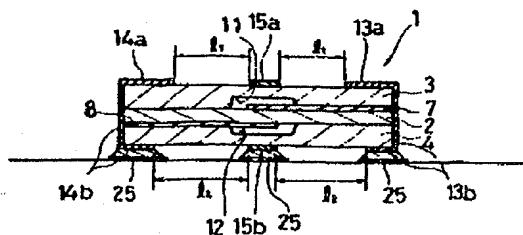
第1図は容量内蔵型チップ発振子を正面側から見たときの斜視図、第2図は第1図の発振子を実装したときの断面図、第3図はチップ発振子の分解斜視図（外部電極は図示せず）、第4図はチップ発振子の等価回路図、第5図はチップ発振子の変形例を示す斜視図、第6図は第5図の発振子を実装したときの断面図、第7図は第2実施例に係る容量内蔵型チップ発振子を正面から見たときの斜視図、第8図はチップ発振子の分解斜視図（外部電極は図示せず）、第9図は容量内蔵型チップ発振子の変形例を示す断面図、第10図は従来の容量内蔵型チップ発振子を正面側から見たときの斜視図、第11図は第10図の発振子を実装したときの断面図である。

2・32…圧電基板、3・4…保護基板、5・6・35・36…振動電極、13・14・42・43…外部電極、15・44…共通電極、33…セラミック基板、34…カバー基板。

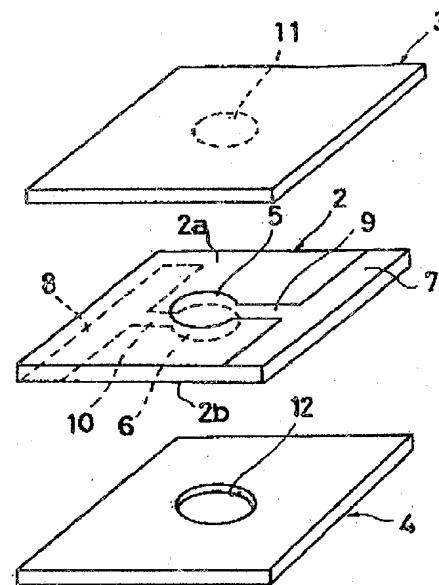
特許出願人：株式会社 村田製作所



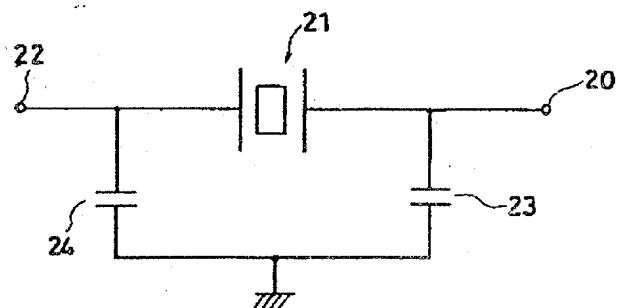
第2図



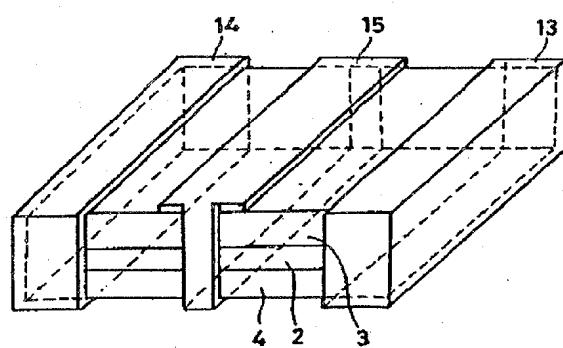
第3図



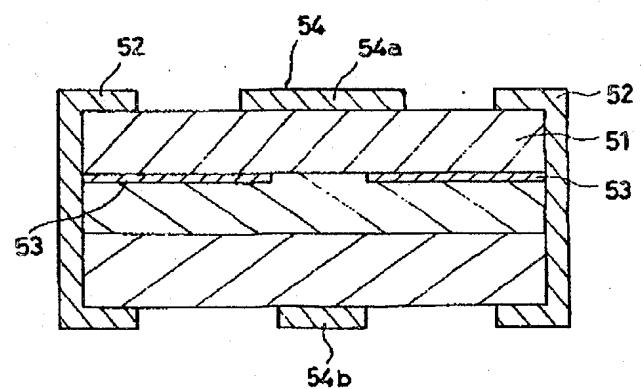
第4図



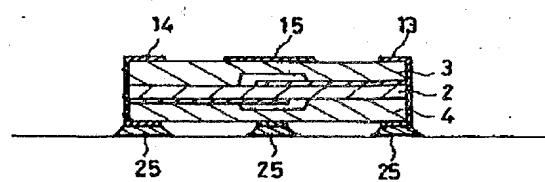
第5図



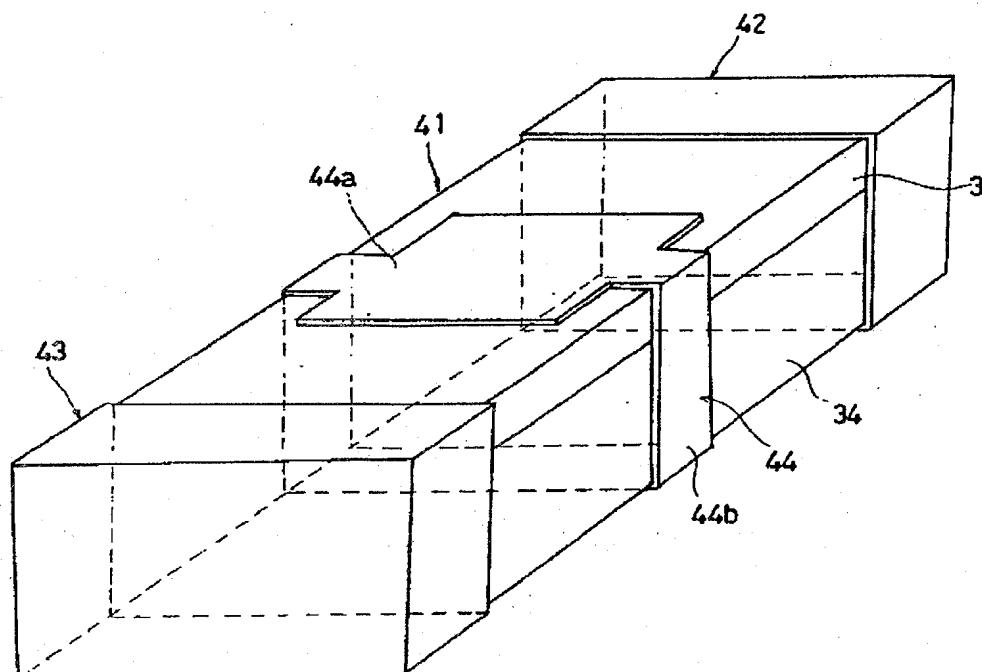
第9図



第6図



第7図



第8図

